

**Yantao DUAN**

Adresse : 60 Avenue Frédéric Mistral, 83700, Saint-Raphaël, Provence-Alpes-Côte d'Azur

**Ingénieur en Microélectronique**

Tel : +33-0642051597

E-mail : yantao.duan@outlook.com

**Objectif :**

Trouver un emploi à partir de Septembre 2019 en Conception de Microélectronique (avec le droit du travail sous APS)

**Compétences**

**Microélectronique & Electronique:**

- **Flot de conception analogique** avec les outils **Cadence** : Analog Environment (simulateur : Spectre, Assura), Virtuoso Layout et **LTspice**
- **Flot de conception numérique** avec les outils de **Cadence** : Nclaunch, Genus, Encounter, Innovus, Virtuoso et Silicon ensemble.
- **Flot de conception FPGA** avec les outils **Altera** : Quartus et de **Xilinx** : Vivado, ISE et de **Modelsim**
- **Flot de conception Microcontrôleur (ARM STM32, 8051..)** (Assembleur & langage C, C++).
- **Conception carte électronique (Altium).**

**Informatique :**

- **Plateformes OS** : Windows, Linux et Android
- **Langages de programmation** : Langage C/ C++, Assembleur, Matlab, Labview
- **Langages de script** : Shell, TCL
- **Langages de description matérielle** : VHDL, SystemC, SystemVerilog

**Langues :**

- **Français et Anglais** (Intermédiaire)
- **Chinois** (Courant) et **Allemand** (Notion)

**Expériences Professionnelles**

**Février-juillet 2019 : Conception d'un ASIC Analogique au niveau Transistor pour l'identification des Particules**

*(Stage Fin d'étude Ingénieur)*, Laboratoire de Physique des Plasmas (LPP), Paris (75), France

- Réalisation d'un TAC (Time Analog Convert), résolution (1ns) et d'un Flash ADC résolution (2,3mV)
- Conception au niveau transistor en technologie CMOS

- Validation de la Conception par Simulations électriques : Corner (PVT), Monte-Carlo
- Réalisation et Vérification du Layout (DRC, LVS, QRC)
- Validation du design jusqu'à la simulation post-layout
- Sous-blocs réalisés : ADC flash, Amplificateur class AB, Comparateur, Référence de tension, Référence de courant, Circuit de polarisation.

**Sept-Oct 2018 : Conception d'un amplificateur pour casque audio**

*(Projet d'étude Ingénieur)*, ESIEE PARIS, Noisy-le-Grand (France)

- Réalisation d'un amplificateur casque audio, impédance  $32\Omega$  (P : 30mW, BP : 20Hz-24Khz, G = 20dB)
- Conception au niveau transistor en technologie CMOS 0.35 $\mu$ m
- Validation de la Conception par Simulations électriques : Corner (PVT), Monte-Carlo
- Réalisation et Vérification du Layout (DRC, LVS, QRC)
- Validation du design jusqu'à la simulation post-layout
- Sous-blocs réalisés : Amplificateur class AB, Circuit de polarisation.

**Avril-Août 2018 : Conception d'un système de Test pour la Validation d'un ASIC Mixte**

*(Stage étude Ingénieur)*, Weeroc sas, Palaiseau (91), France

- Réalisation d'un banc de test pour la validation d'un ASIC mixte
- Conception de l'architecture des blocs numérique en VHDL
- Validation, Simulations et synthèse du code VHDL sous Quartus et ModelSim
- Implémentation et validation du code VHDL sur FPGA Cyclone III
- Validation par la simulation
- Sous-blocs réalisés : FIFO, Scurve, SPI, USB interface, Machine à état.

**Janv 2015-Juin 2017 : Développement des pilotes de périphériques pour système Linux & Android**

*(CDD, Ingénieur logiciel Système Embarqué)*, Sim Technology, Shanghai, Chine

- Réalisation des pilotes de périphériques personnalisés pour système Linux & Android pour des systèmes embarqués.
- Codage en C/C++ des pilotes (Drivers) sous Système linux & Android.
- Compilation Croisée, Débogage, Portage de codes de driver (Capteurs,NFC, Fringerprint, ...)

<b>Formation</b>
------------------

**2017-2019** Diplôme d'Ingénieur, Systèmes électroniques, ESIEE PARIS, Noisy-le-Grand

**2011-2015** Licence Microélectronique, Université des arts et des sciences du Hubei