硅制成上合格的 SuperViC：SoC 安全集成的唯一途径

Dolphin Integration

I. 引言

当系统集成商把硅 IP 虚拟元件(Virtual Component of silicon IP,以下简称为 ViC)集成到系统中后,常常会在应用电路板上发现问题,而这对于整个设计流程而言就为时已晚。有些原本高性能的 ViC 其性能会在 SoC 级和 PCB 级恶化,从而导致最终系统达不到预期的性能要求。换言之,在集成过程中仅把高性能的 ViC 装配在一起是远远不够的,只有处理好那些在集成中相关基本问题或遵守相应流程中主要事项时,才能保证 SoC 或系统达到很高的性能。

为了保持每一个 ViC 集成到系统时的高性能,并且保证整个系统的功能性,我们必须全面了解整个系统的性能因其各个元件之间互动而变的敏感,这些元件中一些主要功能包括电源调节、基准电压、时钟等。并且,这些元件互相连接而成的网络(比如电源调节网络、基准电压网络、时钟网络等) 也因此成为干扰传播的渠道来影响系统的性能， 所以对此也必须予以重视和考虑。进一步来讲,为了使系统各功能保持高性能,电源管理网络、基准电压网络、时钟网络和侦测网络(Power, Reference, Clock & Detectors Network, 以下简称为 PRC&DN)的架构设计及其所带来的影响必须在系统级上予以正确地评估和处理。

本篇文章首先阐述了什么是 SuperViC 以及其优势,它是由若干 ViC 预装配而成,旨在降低各个 ViC 在集成时的风险并助于在 SoC 级的集成。其次,我们以电源噪声引起的性能衰减为实例,来例证与集成单个 ViC 相比集成 SuperViC 能够带来的优势。接着,我们讨论了在 SoC 级和应用电路板级最难处理的一项工作,如何合理地设计 PRC&DN 来保持 SuperViC(或单个 ViC)连同其应用电路图(Application Schematic, 以下简称为 ASC)的性能。文章最后,将会介绍我们具有革新性的解决方案,包含了 SuperViC、应用硬件建模(Application Hardware Modeling, 以下简称为 AHM)以及定制培训教程(Custom Training Package,以下简称为 CTP)。

II. 由 ViC 演变到革新的 SuperViC

1. 目前集成单个 ViC 的风险

当把某个 ViC 在跟其它的 ViC 或子系统一起集成到 SoC 和 PCB 上的时候, 其性能经常会被一些相互干扰而影响,也就是所谓的危险点(难点) (如图 1 中的红点)。这些相互干扰主要来源

于系统上临近组件通过 PRC&DN 的渠道传输所带来的影响。如图 1 所示,这些干扰多以电源噪声,时钟抖动,串扰等形式影响所关心的元件。

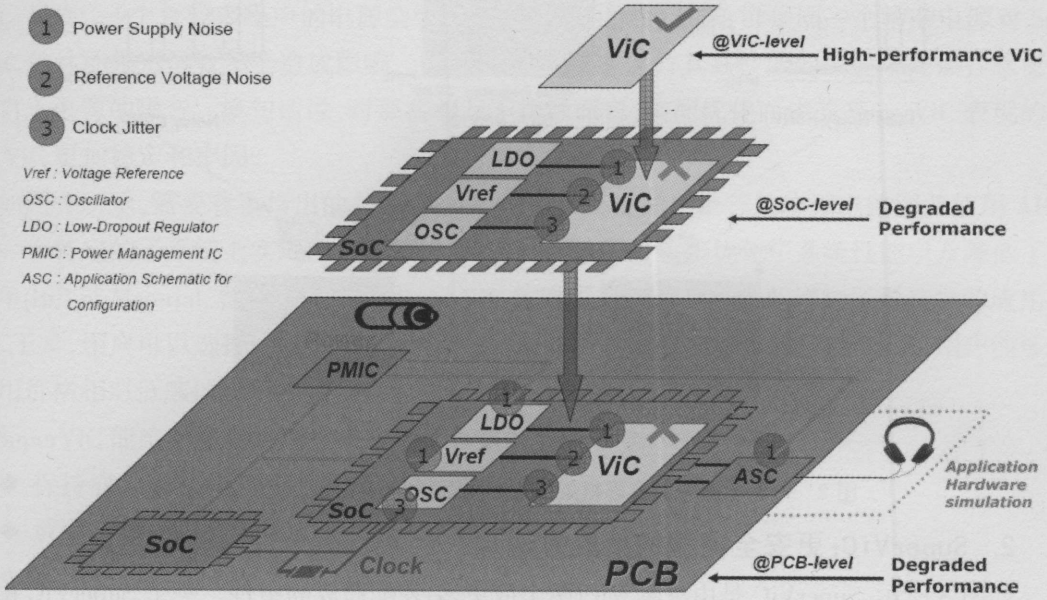

图 1 单个 ViC 在 SoC 和 PCB 上的集成

基本上,每个 ViC 都有其固有的承受这些干扰的能力。为了评估一个 ViC 在受到干扰的情况下是否还能如预期那样运作，我们是所有 IP 供应商中唯一的能够为每个 ViC 提供相关的容忍框架模板 (tolerance template)。比如图 2 所示，电源噪音容忍框架模板 (Power Supply Noise Tolerance Template, 简称为 PSNT2)定义了 ViC 对电源噪声的免疫能力。与业内传统的抗噪参数 -- 电源抑制比(Power Supply Rejection Ratio)相比较的话，电源噪音容忍框架模板具有明显的优势,因为它对 ViC 就电源噪音容忍度定义了并且覆盖了一个非常宽的噪声频率(高达若干兆赫兹)。相比较而言，电源抑制比只描述了 ViC 在一个给定的噪声频率上对电源噪声的抑制能力， 但并没有说明 ViC 的性能是否会被影响。我们可以通过把测量得到的电源噪声特性图(Power Supply Noise Profile, 简称为 PSNP)和 ViC 电源噪音容忍框架模板相比较,来评估 ViC 的性能是否得到保证。相关的比较可以用我们自主研发的混合信号仿真器 SMASH[1]来执行。

对于相对纯净的电源,如果它的电源噪声特性图(图 2 中左上 less noisy PSNP)在 ViC 电源噪音容忍框架模板的免疫区(绿色的 immune region)之内，那么 ViC 的性能便可以得到保证。反之,如果电源过于嘈杂,其电源噪声特性图(图 2 中右上 noisy PSNP)超出了 ViC 的免疫区,那么 ViC的性能就不一定能得到保证。

如果某种相互干扰过于强烈而超出了 ViC 自身对该干扰的抵抗力，这就可能引起 ViC 的性能下降,进而甚至会影响到整个系统的性能。为了在集成过程中能够放宽这些限制,从而保证系统性能,我们推出了一项新的集成策略产品,那就是 SuperViC。

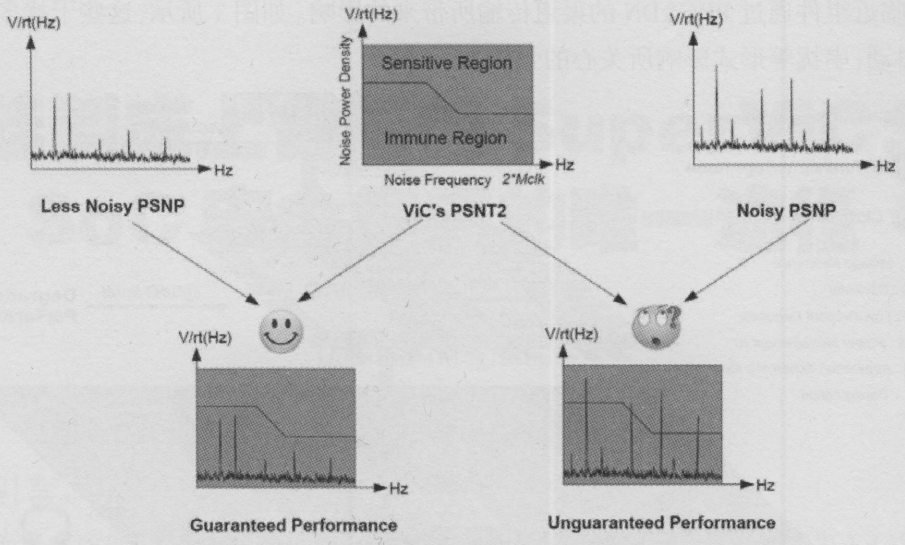

图 2　ViC 电源噪音容忍框架模板同电源噪声特性图在频率域的比较

2. SuperViC:更安全便捷的集成方法

如图 3 所示,SuperViC 是由一套 ViC(两个或更多)装配而成的组件。一个 SuperViC 由相互配合的几部分组成: 除了一个含有输入/输出外围设备的核心 ViC 之外(比如 audio CODEC 包含相关的耳机输出,麦克风输入),还包括了必需的外围 ViC 设备(比如内置的 LDO 和振荡器等)用来处理噪音在 SoC 和 PCB 层面经由 PRC&DN 网络的传播而对系统造成的影响。因为这些 ViC(核心 ViC 及外围 ViC)及它们之间的互联关系已经在 SuperViC 中明确并优化过了,所以它们可以被看作是一个整体(即一个 SuperViC)。因此,系统集成工程师便不用花费太多的精力去处理这些各个 ViC 间繁琐的相互影响。取而代之的是,他们只需要专注于 SuperViC 对 PRC&DN 的连接及同对外部元件间的一些关键连接。此外,使用 SuperViC 可以降低系统集成风险和缩短产品上市时间,同时也强化了 ViC 供应商同系统集成商之间的合作伙伴关系。

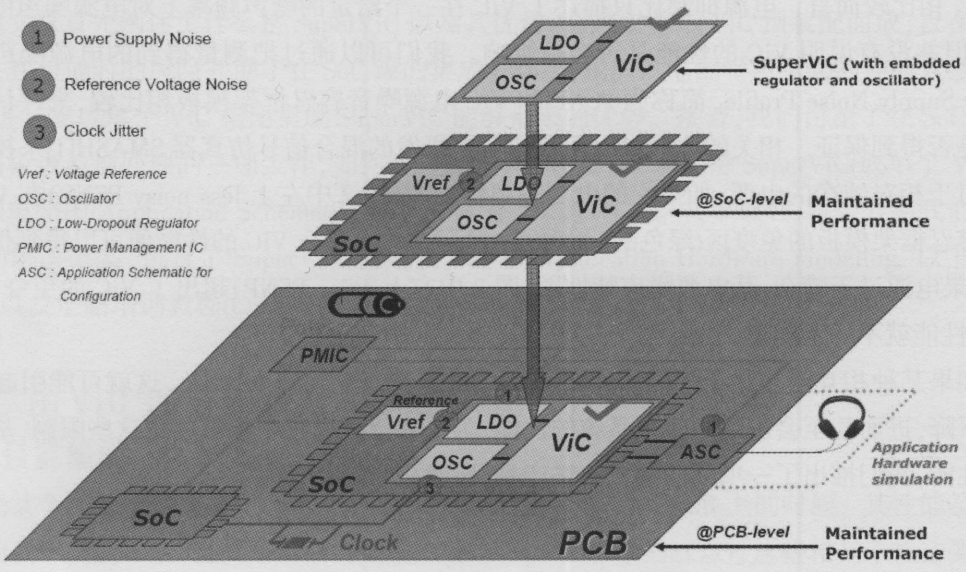

图 3　SuperViC 在 SoC 和 PCB 上的集成

SuperViC的一个主要优点是它提供了一种安全集成的解决方法。相较于单个 ViC,SuperViC 拥有更加宽松的对于电源噪声、时钟抖动和基准电压等相关的容忍框架模板 (tolerance template)。比如,一个含较多噪声的电源会引起单个 ViC 性能的下降;可是同一个嘈杂电源对 SuperViC 的性能很可能就不会造成影响, 因为 SuperViC 在保持其高性能的前提下能够容忍更多的来自于电源的噪音。换句话说,对那些相互干扰源而言,装配优化而成的 SuperViC 表现的比单个 ViC 更加稳定和牢固。

如图 3 所示,需要着重指出的是 SuperViC 的验证是连同所推荐的应用电路图并使用 AHM [2]在一个特定的子系统上实现的。这种验证带来的好处是进一步优化了系统性能以及降低了物料清单(Bill of Material, 简称为 BoM)。SuperViC 放宽了集成限制也因此增加了可选择的应用电路图。于是,用户可以选择最恰当的应用电路图,而并不一定是最昂贵的。这意味着,用户能够选择使用价格相对低廉的应用电路图来能达到同样出色的系统性能。

SuperViC 能给系统集成商带来的益处总结如下:

- ◆ 保持嵌入了 ViC 的子系统在系统级的性能
- ◆ 放宽了集成限制使集成更便捷和安全
- ◆最小化了的 BoM
- ◆ 缩短了集成周期和产品上市时间

III. SuperViC 耐噪性提升的仿真

如前所述,同单个 ViC 相比,SuperViC 拥有更为宽松的容忍框架模板(PSNT2, JT2 等等)。在本章节, 我们用一个简单的例子通过 SMASH 仿真来展示 SuperViC 对于电源噪声容忍度的提升。

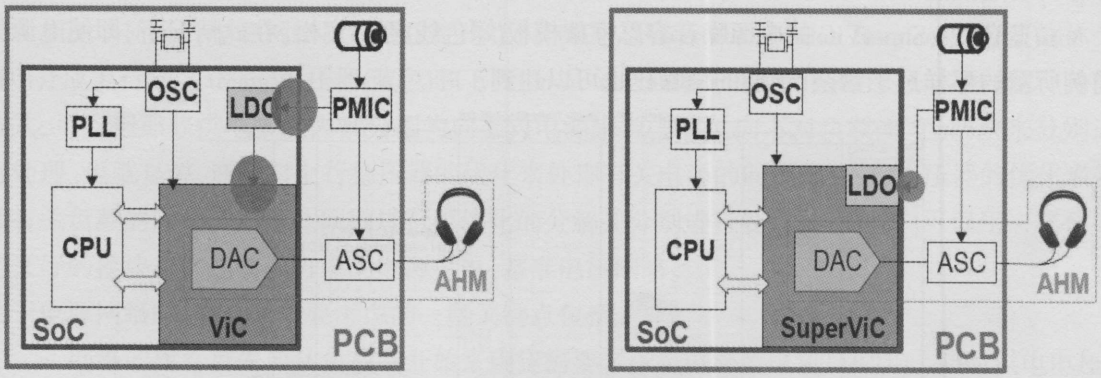

图 4　电源噪声对单个 ViC(左)和 SuperViC(右)的影响(红点)

图 4 展示了由电源噪声引发的干扰分别对单个 ViC 和 SuperViC 的影响(红点/危险点)。在左图,对 ViC 而言, LDO 是作为一个分离的元件集成在 SoC 中的。在此情况下,为了能适当地给 ViC 供电,此 LDO 不但要有效承受来自电源的噪声干扰,而且 LDO 输出还要配合独立 ViC 所能承受的的噪声容忍框架。

图 5 是用 SMASH 来处理测试结果，指出了因电源噪音影响而引起的信噪比衰减。此音频 ViC 的预期信噪比值为 95 分贝。图中蓝线为该 ViC 的电源噪音容忍框架模板 (PSNT2)。对于相对纯净的电源(含较少噪声),其电源噪声特性图 (绿色曲线)始终处于 ViC 的容忍框架之下,因而所得到的信噪比就能够保证达到预期值。相反,如果电源过于嘈杂,其噪声特性图 (红色曲线)的一些部分超过了 ViC 的容忍极限,那么得到的信噪比值衰减到了 92 分贝。

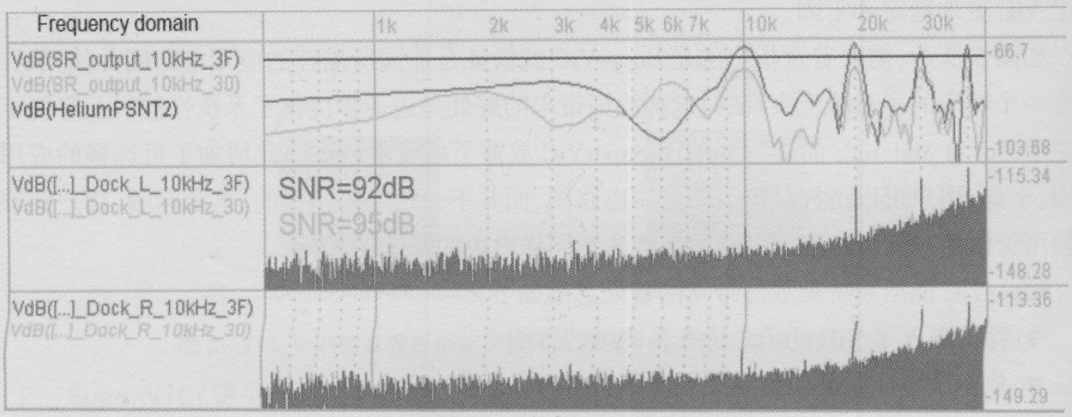

图 5　经验证的因电源噪音引起的信噪比衰减

另一方面,如图 4 右所示一种新的元件组织方法,将 LDO 嵌入到音频 ViC 中以此装配成一个 SuperViC 的构造。换言之,此音频 ViC 由它自己的嵌入式 LDO 供电。鉴于 ViC 和 LDO 之间的相互作用已在 SuperViC 中优化过，所以对 SoC 和 PCB 上的其它元件而言,ViC 和 LDO 是作为一个整体存在并运作的。因此,相比较图 4 左而言,使用 SuperViC 只需要考虑一次由电源噪音带来的影响(两个红点变成一个)。此外,因 SuperViC 可以容忍更多的噪音,所以可以降低因电源噪音引起性能下降的风险。SuperViC 耐噪性的提升如图 6 所示,我们可以清楚的看到较于单个 ViC(蓝色线),SuperViC 的电源噪音容忍框架模板(绿色线)更为宽松。在此情况下,即使电源如前例所示的那样过于嘈杂,预期的信噪比也可以达到。

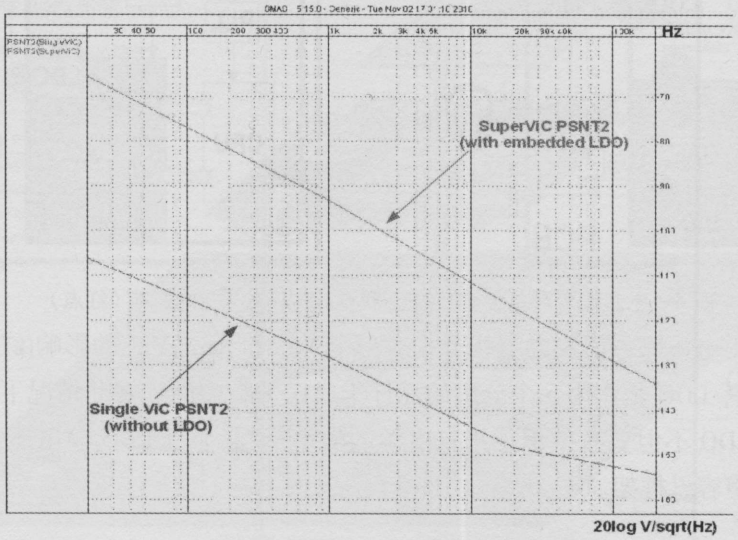

图 6　同单个 ViC 相比,SuperViC 具有更强的噪音容忍能力

IV. 建立 PRC&DN 的后发式策略

不管是高性能 ViC 元件还是 SuperViC 组件，它们都会在系统级受到经由 PRC&DN 传播的干扰，为了更进一步提高系统性能，在把这些元件集成到系统中的同时，必须恰当地处理好 PRC&DN 中的全局性集成问题。除了元件拥有自身的高性能外，建立一个高效的 PRC&DN 是保证系统高性能的另一个重要条件。PRC&DN 整个建立过程必须先分别建立电源管理网络、基准电压网络、时钟网络和侦测网络，然后再将这些网络有效的组织在一起。接下来，以如何建立电源网络为例，简要介绍我们建立 PRC&DN 的后发式策略。

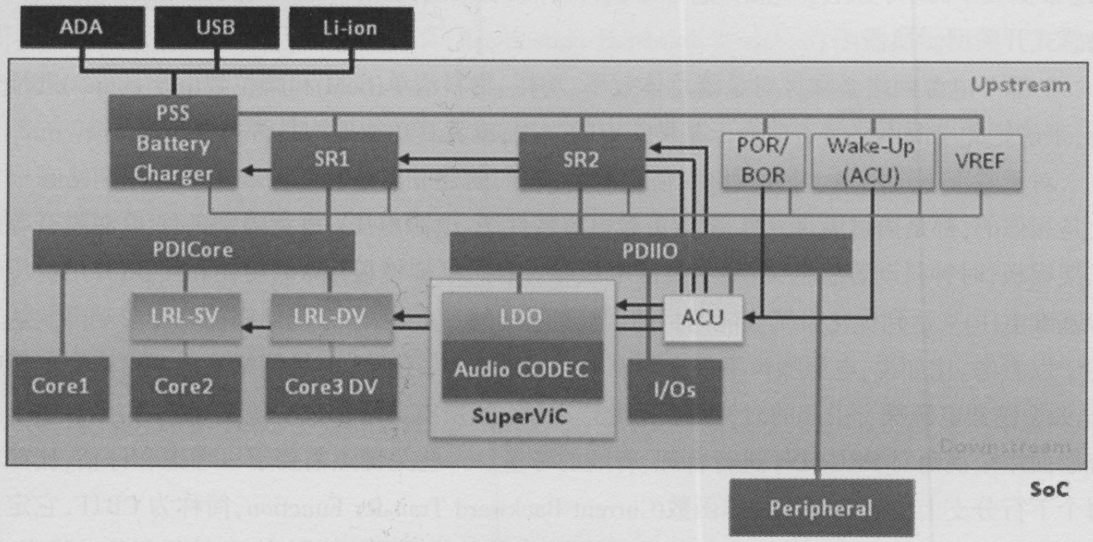

图 7　侧重于电源和基准电压网络的 SoC 代表性架构

如图 7 所示，电源网络可以透过配电接口 (红色，Power Distribution Interface，以下简称为 PDI)分成上行(up-stream)稳压器(蓝色)和下行(down-stream)稳压器(绿色)两部分。通过这种分配方式，可以把那些供电限制因素分割为向上对电源来源(黑色)、向下对负载(紫色)两块来分别进行处理。也就是说，通过对上行稳压器的优化来处理有关电源的问题，对下行稳压器的优化来处理有关负载的问题。对这些问题进行模块化的分解并分别进行处理，使得我们可以用一套预先定义好的模块来快速装配可靠的电源供电、基准电压网络。

关于电源网络的建立，必须要考虑的一些关键点包括：

a. 网络的建立首先要从负载端开始来确定需要多少个电源配电接口(PDI)。同时供电电压，负载电流特性图(Load Current Profile，以下简称为 LCP，它定义了某元件正常工作所需要的电流量)，电源噪音容忍框架模板(PSNT2)以及每一个负载的运作模式必须予以考虑。负载必须依照其类别(模拟或数字)和电压(核心元件、IO、电源岛 Islet)进行归类分组。

b. 判定不同的负载来共享同一个稳压器而实现对 PRC&DN 总面积的优化。

c. 每一个硬件模块在交付时都要配以相对应的 EPLAM (Electrical Performance Logic and

Analog Model,对硬件模块某一特定性能进行评估的模型)、负载电流特性图和电源噪音容忍框架模板。

d. 每一个下行稳压器都是通过对可参数化的功能模型配以相关的布局参数进行优化来得到最小化的功耗和面积。更重要的是，这样的优化对负载端可以提供适当的电源噪声特性图(PSNP)和负载电流容忍框架模板(Load Current Tolerance Template,以下简称为 LCT2,它定义了稳压器所能提供给负载的最大电流框架图)，同时对每个下行稳压器的 PDI 端也定义了适当的负载电流特性图(LCP)。

e. 上行稳压器以及 PDI 的实际排版必须满足对各个下行分支以及电源源头的噪音约束要求。根据效率需求、功耗限制和其它 SoC 设计要点,有不同的选择(比如线性稳压器,电感式和无电感式开关型转换器)。

f. 整个电源网络必须针对系统总体效率、功耗、物料清单(BoM)和脚位数(pin-count)进行分析,来确定此电源网络是否适合于某种特定的应用,或者其功能架构是否需要改良。

对于基准电压网络、时钟网络和侦测网络,它们的建立方法和程序同建立电源网络在根本上是相似的,都是通过满足元件需求(负载电流特性图,电源电压)、放宽限制条件(电源噪音容忍框架模板,时钟抖动容忍框架模板,基准电压噪音容忍框架模板),降低功耗和面积(共用稳压器和基准电压)来达到优化系统性能的目的。需要强调的一点是,各个网络间的相互影响需要认真的予以考虑。比如说,电源噪声不仅会影响电源网络本身,还会对时钟网络造成不可避免的影响(比如振荡器电源噪音引起的时钟抖动恶化)。因此,当所有网络都成功地建立好后,要在整个系统层面用全视角对 PRC&DN 进行合理、有效的考量。一些关键点需要予以考虑和评估,比如在每个下行分支上由反向电流传递函数(Current Backward Transfer Function,简称为 CBTF,它定义了负载电反向到稳压器的输入电流)判断出临近元件对关键元件的影响,尤其是那些对噪音、动态和静态电压下降(IR drop)等敏感度较高的元件。

V. 结语

以去年在厦门举行的 ICCAD 为平台和契机,我们成功地推出了应用硬件建模 (AHM)的理念。今年 ICCAD 期间,基于 AHM 理念,我们新推出了独一无二的 SuperViC。AHM 提供了一个基于硬件建模的方法,通过仿真来评估系统特定一项功能的性能。比如说,某个子系统的性能,其子系统必须包括所有相关元件来实现这个特定功能,这些元件不仅局限于 SoC 和 PCB 上, 还包括了诸如传感器以及促动器(比如麦克风,耳机或扬声器)等。SuperViC 的目标是提供布局、面积优化过的一个 ViC 套间,在维持其性能的基础上,通过放宽集成限制来简化及确保集成过程。在 SoC 集成中应用 AHM 理念,可确保从产品数据资料到应用电路板的整体过程。然而,这种方法的使用要以掌握相关的前沿技能为基础,这些技能包括:怎么识别和评估集成中的难点、如何确定需要建模的相关元件及其精确度、如何对相关子系统进行仿真等等。因此,为了帮助用户解决相关的集成问题,我们专门为 SuperViC 方法搭配了相应的定制培训教程[3]。这些培训教程包括了就集成难点上所需要的建模技巧和多级仿真原理等前沿技术的传授。SuperViC(和 ViC)应

用及集成工程师可以直接从中获益,从而能够妥善地处理当前困扰着业界的诸多难题。更为重要的是,通过这种技能培训和传授,应用工程师们能够高效率地支持及满足他们自己用户的需求。

这个针对使用 AHM 方法的 SuperViC 和定制培训教程的组合使我们的用户和合作伙伴获益于高性能产品,安全的集成过程以及前沿技能的提高,从而能够实现一次性成功的系统。

参考:

[1] Dolphin Integration, "SMASH User Manual"

[2] Dolphin Integration, "应用硬件仿真(Application Hardware Modeling)优化系统功能", ICCAD 2009, Xiamen, China

[3] http://www.dolphin.fr/medal/smash/flash/smash_custom_TP.php
http://www.dolphin.fr/medal/smash/flash/smash_CTP.php